

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-151960

(43)Date of publication of application : 24.05.2002

(51)Int.Cl.

H03C 3/00
H03L 7/099
H03L 7/18

(21)Application number : 2000-343081

(71)Applicant : KENWOOD CORP

(22)Date of filing : 10.11.2000

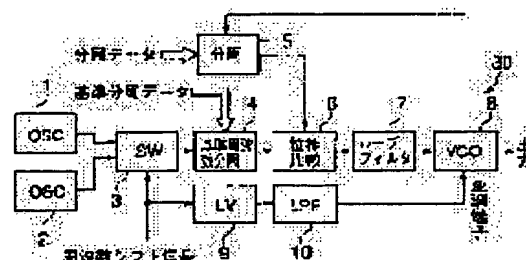
(72)Inventor : SATO TETSUO

(54) PLL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a PLL circuit, the lockup time of which can considerably be reduced.

SOLUTION: A switch circuit 3 selectively switches one of oscillating outputs of reference frequency oscillators 1, 2 whose oscillating frequencies differ from each other in the PLL circuit on the basis of a frequency shift signal to provide an output of a reference oscillating frequency, a level adjustment device 9 adjusts a level of the frequency shift signal and FM modulation is applied to an oscillated output of a voltage controlled oscillator 8 on the basis of the output of the level adjustment device 9. Thus, fluctuations in the oscillated frequency of the voltage controlled oscillator 8 due to fluctuations in an output voltage of a loop filter 7 on the basis of the switching of the oscillation output of the reference frequency oscillator 1 and the oscillation output of the reference frequency oscillator 2 are cancelled by FM modulation on the basis of the frequency shift signal to considerably reduce the lockup time.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(書誌+要約+請求の範囲)

(19)【発行国】日本国特許庁(JP)
 (12)【公報種別】公開特許公報(A)
 (11)【公開番号】特開2002-151960(P2002-151960A)
 (43)【公開日】平成14年5月24日(2002. 5. 24)
 (54)【発明の名称】PLL回路
 (51)【国際特許分類第7版】

H03C 3/00
 H03L 7/099
 7/18

【FI】

H03C 3/00 B
 H03L 7/08 F
 7/18 Z

【審査請求】未請求**【請求項の数】9****【出願形態】OL****【全頁数】9**

(21)【出願番号】特願2000-343081(P2000-343081)

(22)【出願日】平成12年11月10日(2000. 11. 10)

(71)【出願人】

【識別番号】000003595**【氏名又は名称】株式会社ケンウッド****【住所又は居所】東京都渋谷区道玄坂1丁目14番6号**

(72)【発明者】

【氏名】佐藤 哲夫**【住所又は居所】東京都渋谷区道玄坂1丁目14番6号 株式会社ケンウッド内**

(74)【代理人】

【識別番号】100078271**【弁理士】****【氏名又は名称】砂子 信夫****【テーマコード(参考)】**

5J106

【Fターム(参考)】

5J106 AA04 BB08 CC01 CC15 CC21 CC41 CC53 CC54 DD01 DD09 DD34 FF06 FF09 GG18 HH01 KK03

(57)【要約】**【課題】**ロックアップタイムが大幅に短縮したPLL回路を提供する。

【解決手段】PLL回路において、発振周波数を異にする基準周波数発振器1および2の発振出力の一方をスイッチ回路3によって周波数シフト信号に基づいて選択的に切り替えて基準発振周波数として送出し、周波数シフト信号のレベルをレベル調整器9で調整して、レベル調整器9の出力に基づいて電圧制御発振器8の発振出力にFM変調をかける。このことにより、基準周波数発振器1の発振出力と基準周波数発振器2の発振出力の切り替えに基づくループフィルタ7の出力電圧の変動による電圧制御発振器8の発振周波数の変動は周波数シフト信号に基づくFM変調によって打ち消されて、ロックアップタイムが大幅に短縮される。

【特許請求の範囲】

【請求項1】PLL回路において、発振周波数を異にする第1および第2の基準周波数発振器の発振出力の一方を周波数シフト信号に基づいて選択的に切り替えて基準発振周波数として送出する切替手段と、周波数シフト信号のレベルを調整するレベル調整器とを備えて、レベル調整器の出力に基づいて電圧制御発振器の発振出力にFM変調をかけることを特徴とするPLL回路。

【請求項2】PLL回路において、分周器へ出力される分周データの変更に同期して立ち上がるステップ状信号のレベルを調整するレベル調整器を備えて、レベル調整器の出力に基づいて電圧制御発振器の発振出力にFM変調をかけることを特徴とするPLL回路。

【請求項3】請求項1または2記載のPLL回路において、レベル調整器の出力を入力とするローパスフィルタを備

え、ローパスフィルタの出力に基づいて電圧制御発振器の発振出力にFM変調をかけることを特徴とするPLL回路。

【請求項4】請求項1記載のPLL回路において、第2の基準周波数発振器をサブPLL回路としたことを特徴とするPLL回路。

【請求項5】請求項1記載のPLL回路において、2つの周波数レジスタを有し、かつ周波数シフト信号に基づいて一方の周波数レジスタを選択して異なる2つの周波数の出力を送出するダイレクトデジタル周波数シンセサイザを第1および第2の基準周波数発振器に代わって備え、ダイレクトデジタル周波数シンセサイザからの出力を第1および第2の基準周波数発振器の出力に代わって用いることを特徴とするPLL回路。

【請求項6】請求項1記載のPLL回路において、第1および第2の基準周波数発振器に代わって異なる周波数の出力を送出する第1および第2のダイレクトデジタル周波数シンセサイザを備え、第1および第2の基準周波数発振器の出力に代わって第1および第2のダイレクトデジタル周波数シンセサイザの出力を用いることを特徴とするPLL回路。

【請求項7】請求項1記載のPLL回路において、第2の基準周波数発振器に代わって、第1の基準周波数発振器の発振周波数を分周する分周器を備え、第2の基準周波数発振器の出力に代わって分周器の出力を用いることを特徴とするPLL回路。

【請求項8】請求項1記載のPLL回路において、第1および第2の基準周波数発振器に代わって基準周波数発振器の発振周波数を異なる分周データに基づいて分周する第1および第2の分周器を備え、第1および第2の基準周波数発振器の出力に代わって第1および第2の分周器の出力を用いることを特徴とするPLL回路。

【請求項9】請求項1記載のPLL回路において、第2の基準周波数発振器に代わって第1の基準周波数発振器の発振周波数を逡倍する逡倍器を備え、第2の基準周波数発振器の出力に代わって逡倍器の出力を用いることを特徴とするPLL回路。

詳細な説明

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はロックアップタイムを短縮したPLL回路に関する。

【0002】

【従来の技術】従来のPLL回路は図11に示すように、基準周波数発振器1からの発振出力を基準周波数分周器4により基準分周データに基づいて分周し、基準周波数分周器4によって分周された基準周波数発振器1の発振出力と分周器5からの分周出力とを位相比較器6にて位相比較し、位相比較器6からの位相比較出力をループフィルタ7に供給して平滑化し、ループフィルタ7からの出力を発振周波数制御電圧として電圧制御発振器8に供給して電圧制御発振器8の発振周波数を制御し、電圧制御発振器8の発振出力を分周器5に供給して電圧制御発振器8の発振周波数を図示しないCPUから出力される分周データに基づいて分周し、位相比較器6に分周出力として出力するように構成されている。

【0003】なお、基準周波数分周器4は省略してもよい。また、基準周波数分周器4、分周器5および位相比較器6が集積回路化されたPLL回路もある。

【0004】上記した従来のPLL回路で電圧制御発振器の発振出力にFM変調をかける場合、電圧制御発振器の発振周波数がPLL動作によって引き込まれているため低域周波数の変調信号によるFM変調はかけることができないが、高域周波数の変調信号によるFM変調はかけることができる。この場合、変調可能な周波数はループフィルタの非制動固有周波数(以下、単に固有周波数とも記す) ω_n によって決定される。逆に、基準発振器の発振出力にはループフィルタの固有周波数 ω_n 以上の周波数の変調信号によるFM変調をかけることはできない。そこで、低域から高域までフラットな変調特性を実現させるためには基準発振器の発振出力と電圧制御発振器の発振出力との両方にFM変調をかけ、両方の変調特性をクロスオーバーさせることが行われている。

【0005】上記したPLL回路において、PLL回路の出力周波数を変更する場合は、分周器5に供給する分周データを変更することによってPLL回路の出力周波数の変更を行っている。例えば、PLL回路の出力周波数を周波数 f_1 から周波数 f_2 に変える場合のように、弱制動化された2次遅れのシステムの入力に急激な変化を与えると、電圧制御発振器はこの変化に追従しようとしてしばらくの間、周波数 f_2 の近傍で振動し、やがて周波数 f_2 に落ち着く。

【0006】このような従来のPLL回路のままで、高速ロックアップをさせる方法としては、(a)PLL回路のロック状態に応じてループフィルタの時定数を加減する方法、(b)ロック電圧が大きく変化する場合にはのみループフィルタをスルー状態にする方法、(c)ループフィルタを使わず、D/Aコンバータを使用する方法、(d)ダンピングファクタを大きくする方法、(e)チャージポンプの電流を切り替える方法、(f)チャージポンプの特性を切り替える方法、(g)ロック電圧を予測して予め目的のロック電圧近くの電圧を出力する方法(電圧制御発振器内部の発振器を2つ用意して同じロック電圧で目的の発振周波数を発振するようにして電圧制御発振器の切り替えによってロック電圧が大きく変化しないように工夫している)、(h)周波数ステップを小さくし位相比較周波数を高くする方法などが採用されている。

【0007】上記以外でも、単純に切り替え時間のみを早くするのであれば、PLL回路を2系統実装して切り替えて使用する方法、周波数関係を考慮して切り替えても周波数変動の最小、あるいは周波数変動のない周波数構成にする等の回路構成も採用されている。

【0008】

【発明が解決しようとする課題】しかしながら、上記した従来のPLL回路のままにおいてロックアップスピードを速くした場合には、(i)速くすればするほど電圧制御発振器の出力信号の S/N が低下する、(j)速くすればするほど電圧制御発振器の出力信号の C/N が低下する、(k)速くすればするほど出力信号にスプリアスが増大する、(l)速くすればするほど電圧制御発振器にFM変調がかからなくなる、(m)回路構成が大型になり小型化することができない、(n)回路規模の増大にしたがってコストが増加する、(o)消費電力が増大し携帯型等の低消費電力の無線通信機に使いにくい、というような問題点がある。

【0009】さらに、上記(a)、(b)、(d)から(h)に記した方法を採用した従来のPLL回路は位相比較器からの位相比較出力をループフィルタに通して電圧制御発振器の発振周波数を制御していることに変わりはない。このため、 ω をループフィルタのダンピングファクタとすれば、PLL回路の出力周波数切り換え時にはループフィルタの持つ制動固有周波数 ω_d ($\omega_d = \omega_n(1 - \zeta^2)^{0.5}$) で表される出力周波数の電氣的な振動は避けられない。

【0010】これら回路でロックアップの高速化を図っても、通常は数ms～数十msのロックアップ時間がかかるほか、ある程度の性能悪化(S/N 、 C/N 等の悪化)が生じてしまう。このように、性能悪化をさせないで、大幅なロックアップタイムの短縮は望めないという問題点があった。

【0011】また、PLL回路を無線通信機に用いた場合に、音声通信のみの無線通信機であれば、PLL回路のロックアップの高速化はさほど重要でないが、データ通信に対応した無線通信機においては、ロックアップの高速化は重要なファクタとなる。しかるにPLL回路のロックアップの高速化が困難なために、今までは送信回路側にも中間周波段を設けてミキシング方式の周波数構成にするか、あるいは複数のPLL回路を用いる回路構成にするなどして対応しなければ、高速データ通信が実現できないという問題点があった。

【0012】さらにまた、通常の1周波単信方式の無線通信機は一つのPLL回路を搭載し、送信時には送信キャリア発振器として動作させ、受信時にはヘテロダイン方式の局部発振器として動作させているので、送信キャリア発振器と局部発振器の相互の切り替えスピードが重要となるが、送信周波数と受信局部発振周波数との間に中間周波数分の開きがあり、PLL回路の周波数切り替えに時間がかかるという問題点があった。

【0013】本発明は、ロックアップタイムが大幅に改善できて、高速データ通信にも対応可能にしたPLL回路を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明の請求項1にかかるPLL回路は、PLL回路において、発振周波数を異にする第1および第2の基準周波数発振器の発振出力の一方を周波数シフト信号に基づいて選択的に切り替えて基

準発振周波数として送出する切替手段と、周波数シフト信号のレベルを調整するレベル調整器とを備えて、レベル調整器の出力に基づいて電圧制御発振器の発振出力にFM変調をかけることを特徴とする。

【0015】本発明の請求項1にかかるPLL回路によれば、発振周波数を異にする第1および第2の基準周波数発振器の発振出力の一方が周波数シフト信号に基づいて選択的に切り替えられて基準発振周波数とされると共に、レベル調整器にてレベル調整された周波数シフト信号出力に基づいて電圧制御発振器の発振出力にFM変調がかけられて、第1の基準周波数発振器の発振出力と第2の発振出力との切り替えによるループフィルの出力電圧の変動による電圧制御発振器の発振周波数の変動は周波数シフト信号に基づくFM変調によって打ち消されて、PLL回路のロックアップタイムが大幅に短縮され、周波数シフト信号をデータ通信の情報とすることによって高速データ通信にも対応することができる。また無線通信機において周波数シフト信号によって送信と受信を相互に高速で切り換えることができる。

【0016】本発明の請求項2にかかるPLL回路は、PLL回路において、分周器へ出力される分周データの変更に同期して立ち上がるステップ状信号のレベルを調整するレベル調整器を備えて、レベル調整器の出力に基づいて電圧制御発振器の発振出力にFM変調をかけることを特徴とする。

【0017】本発明の請求項2にかかるPLL回路によれば、分周器へ出力される分周データの変更に基づく出力周波数の切り換え時に立ち上がるステップ状信号が送出され、レベル調整器にてレベル調整されたステップ状信号出力に基づいて電圧制御発振器の発振出力にFM変調がかけられて、分周データの切り替えによるループフィルの出力電圧の変動による電圧制御発振器の発振周波数の変動はステップ状信号に基づくFM変調によって打ち消されて、PLL回路のロックアップタイムが大幅に短縮され、周波数シフト信号をデータ通信の情報とすることによって高速データ通信にも対応することができる。また無線通信機においては分周器へ出力される分周データによって送信と受信を相互に高速で切り換えることができる。

【0018】

【発明の実施の形態】以下、本発明にかかるPLL回路を実施の一形態によって説明する。

【0019】図1は本発明の実施の一形態にかかるPLL回路の構成を示すブロック図である。

【0020】図1に示した本発明の実施の一形態にかかるPLL回路30において、図11に示すPLL回路と同一の構成要素には同一の符号を付して示し、重複を避けるためにその説明は省略する。

【0021】PLL回路30は、基準周波数発振器1の発振出力と基準周波数発振器2との発振出力とを、周波数シフト信号(Hレベル/Lレベル)により切り替え動作をする切替手段であるスイッチ回路3によって選択的に切り替え、スイッチ回路3から出力される基準発振出力の周波数を基準周波数分周器4で分周し、基準周波数分周器4で分周された周波数の基準発振出力を位相比較器6に供給して分周器5から出力される分周出力と位相比較し、位相比較出力をループフィルタ7に供給して平滑化し周波数制御電圧として電圧制御発振器8に供給し、電圧制御発振器8の発振周波数を分周器5に供給して分周データに基づく分周を行い、分周出力を位相比較器6に送出している。

【0022】ここで、基準周波数分周器4にて分周された基準周波数発振器1の発振出力の周波数を f_1 とし、基準周波数分周器4にて分周された基準周波数発振器2の発振出力の周波数を f_2 とする。

【0023】一方、周波数シフト信号はレベル調整器9に供給して、スイッチ回路3による基準周波数の切り換えに基づくループフィルタ7の出力変動による電圧制御発振器8の発振出力変動を抑えるために必要なレベルに周波数シフト信号を調整し、レベル調整器9の出力をレベル調整器9の出力に含まれているノイズ除去のためのローパスフィルタ10に供給してノイズ除去を行い、ローパスフィルタ10によりノイズ除去されたレベル調整器9の出力を変調信号として電圧制御発振器8に供給して、電圧制御発振器8の発振周波数を周波数 f_1 と f_2 に切り換えるように構成してある。

【0024】ここで、分周器5に供給される分周データに基づく分周比は、基準周波数発振器1の発振出力が選択された場合には電圧制御発振器8は発振周波数 f_1 でロックし、基準周波数発振器2の発振出力が選択された場合には電圧制御発振器8は発振周波数 f_2 でロックするように予め設定されている。電圧制御発振器8の発振周波数を f_1 、 f_2 としたのは、電圧制御発振器8の発振周波数が基準周波数分周器4で分周された基準周波数発振器1、2の発振周波数 f_1 、 f_2 と通常は一致しているわけでないためである。

【0025】なお、レベル調整器9の出力にノイズが含まれていないときにはローパスフィルタ10を省略することができる。

【0026】次にレベル調整器9の出力の極性について説明する。(a)周波数シフト信号により切り換えられたスイッチ回路3からの基準周波数の変化により電圧制御発振器8の発振周波数の変化が低い周波数から高い周波数に変化し、かつ電圧制御発振器8の変調特性が正特性(変調端子に印加される電圧が増加のとき電圧制御発振器8の発振周波数が増加する特性)のとき、ローパスフィルタ10を通った周波数シフト信号の極性は電圧制御発振器8の発振周波数が増加する極性に設定され、(b)周波数シフト信号により切り換えられたスイッチ回路3からの基準周波数の変化により電圧制御発振器8の発振周波数の変化が高い周波数から低い周波数に変化し、かつ電圧制御発振器8の変調特性が正特性のとき、ローパスフィルタ10を通った周波数シフト信号の極性は電圧制御発振器8の発振周波数が減少する極性に設定される。

【0027】(c)周波数シフト信号により切り換えられたスイッチ回路3からの基準周波数の変化により電圧制御発振器8の発振周波数の変化が低い周波数から高い周波数に変化し、かつ電圧制御発振器8の変調特性が負特性(変調端子に印加される電圧が増加のとき電圧制御発振器8の発振周波数が減少する特性)のとき、ローパスフィルタ10を通った周波数シフト信号の極性は電圧制御発振器8の発振周波数が減少する極性に設定され、(d)周波数シフト信号により切り換えられたスイッチ回路3からの基準周波数の変化により電圧制御発振器8の発振周波数の変化が高い周波数から低い周波数に変化し、かつ電圧制御発振器8の変調特性が負特性のとき、ローパスフィルタ10を通った周波数シフト信号の極性は電圧制御発振器8の発振周波数が増加する極性に設定される。

【0028】次に、PLL回路20による場合のロックアップタイムの測定結果について説明する。

【0029】分周器5に供給される分周データに基づく分周比は、基準周波数発振器1の発振出力が選択された場合には電圧制御発振器8は発振周波数 f_1 でロックし、基準周波数発振器2の発振出力が選択された場合には電圧

制御発振器8は発振周波数 f_2' でロックするように予め設定されている。この状態で、電圧制御発振器8にFM変調がかからないようにレベル調整器9の出力を調整し(レベル調整器9の出力レベルが零であるようにレベル調整器9を調整して、周波数シフト信号によりスイッチ回路3を切り換えて基準周波数を切り換えると、電圧制御発振器8の発振周波数は図9(a)および図10(a)に示す如くに変化する。図9(a)は電圧制御発振器8の発振周波数が低い周波数から高い周波数に変化する場合を示し、図10(a)は電圧制御発振器8の発振周波数が高い周波数から低い周波数に変化する場合を示し、横軸は時間を示している。

【0030】この場合、図9から明らかなように、電圧制御発振器8の発振周波数が安定するまでの時間は約30msかかっている。これは、ループフィルタ7が制動固有周波数を有するために、高域周波数成分が電圧制御発振器8に印加されないために生ずる電圧制御発振器8の発振周波数の変動である。

【0031】分周器5に供給される分周データに基づく分周比は、基準周波数発振器1の発振出力が選択された場合には電圧制御発振器8は発振周波数 f_1' でロックし、基準周波数発振器2の発振出力が選択された場合には電圧制御発振器8は発振周波数 f_2' でロックするように予め設定されている。この状態で、電圧制御発振器8の発振周波数をモジュレーションドメインアナライザ、またはスペクトラムアナライザをタイムドメインにして観測しつつ、周波数シフト信号で基準周波数を基準周波数発振器1の発振出力と基準周波数発振器2の発振出力とを交互に切り換えると基準周波数の切り換え時に電圧制御発振器8の発振周波数に変動が見られる。次に、この状態でレベル調整器9の出力レベルを徐々に上げていく、すなわち電圧制御発振器8の変調端子に印加する電圧のレベルを上げていくと、基準周波数の切り換え時に生じる電圧制御発振器8の発振周波数の変動がなくなる点が生じる。

【0032】すなわち、基準周波数の出力と電圧制御発振器8の発振出力の両方に変調をかけ、両方の変調特性がクロスオーバーされたために、PLL回路30の非制動固有周波数 ω_n が零となり、その結果、ループフィルタ7の持つ制動固有周波数 ω_d [$\omega_d = \omega_n(1 - \zeta^2)^{0.5}$] が零、すなわち発振周波数の電氣的振動がなくなる。このポイントにレベル調整器9の出力レベルを固定して、周波数シフト信号を高電位と低電位とに交互に切り換えたときの電圧制御発振器8の発振周波数の変動は図9(b)および図10(b)に示す如くである。

【0033】図9(b)は電圧制御発振器8の発振周波数が低い周波数から高い周波数に変化する場合を示し、図10(b)は電圧制御発振器8の発振周波数が高い周波数から低い周波数に変化する場合を示している。このように基準周波数切り換え時に生じていた電圧制御発振器8の発振周波数の変動はPLL回路30では殆どなくなり、電圧制御発振器8の発振周波数は短時間で収束させることが可能となる。このときのロックアップタイムは約300 μ sである。

【0034】以上のように、PLL回路によれば、基準周波数のみを切り換えてもPLL回路がロックするまでには電圧制御発振器8の発振周波数には低域周波数振動が生じ、高速ロックアップはできないが、PLL回路30のように電圧制御発振器8に周波数シフト信号のレベルを調整した信号によってFM変調をかけることによって、基準周波数の切り換え時の周波数ステップに応じた電圧制御発振器8の発振周波数の変動を短時間で収束させることができ、高速ロックアップ動作が可能となる。

【0035】次に本発明の実施の一形態にかかるPLL回路の第1変形例について説明する。

【0036】図2は本発明の実施の一形態にかかるPLL回路の第1変形例のブロック図である。

【0037】第1変形例のPLL回路31は、PLL回路30における基準周波数発振器2に代わってサブPLL回路11を設けて、サブPLL回路11の出力をPLL回路30における基準周波数発振器2の発振基準周波数に代わってスイッチ回路3に供給するようにした。その他の構成はPLL回路30の場合と同様である。したがって、PLL回路31による場合もPLL回路30と同様の作用を行う。

【0038】次に本発明の実施の一形態にかかるPLL回路の第2変形例について説明する。

【0039】図3は本発明の実施の一形態にかかるPLL回路の第2変形例のブロック図である。

【0040】第2変形例のPLL回路32は、基準周波数発振器12と、基準周波数発振器12の発振出力を入力し、2つの周波数レジスタを有して、周波数シフト信号に基づいて一方の周波数レジスタを選択して異なる2つの基準周波数の出力を送出するためのダイレクトデジタル周波数シンセサイザ13とを、PLL回路30における基準周波数発振器1および2とスイッチ回路3とに代わって設け、周波数シフト信号に基づいて一方の周波数レジスタを選択したときに生成されるダイレクトデジタル周波数シンセサイザ13からの出力周波数を基準発振周波数として、PLL回路30におけるスイッチ回路3によって選択された基準周波数発振器1および2に基づく基準周波数に代わって用いるようにした。その他の構成はPLL回路30と同様である。

【0041】したがって、PLL回路32の場合もPLL回路30と同様の動作を行う。

【0042】次に本発明の実施の一形態にかかるPLL回路の第3変形例について説明する。

【0043】図4は本発明の実施の一形態にかかるPLL回路の第3変形例のブロック図である。

【0044】第3変形例のPLL回路33は、PLL回路30における基準周波数発振器1および2に代わって、基準周波数発振器12と、基準周波数発振器12の発振出力を入力して、異なる基準発振周波数の出力を生成するダイレクトデジタル周波数シンセサイザ14および15とを設け、PLL回路30における基準周波数発振器1および2の出力に代わってダイレクトデジタル周波数シンセサイザ14および15によって生成された基準発振周波数の出力をスイッチ回路3に加える。

【0045】PLL回路33において、その他の構成はPLL回路30と同様である。したがって、PLL回路33の場合もPLL回路30と同様の動作を行う。

【0046】次に本発明の実施の一形態にかかるPLL回路の第4変形例について説明する。

【0047】図5は本発明の実施の一形態にかかるPLL回路の第4変形例のブロック図である。

【0048】第4変形例のPLL回路34は、PLL回路30における基準周波数発振器2に代わって、PLL回路30における基準周波数発振器1の発振周波数を分周する分周器16を備え、PLL回路30における基準周波数発振器2の発振出力に代わって分周器16にて分周された周波数の出力をスイッチ回路3供給する。

【0049】PLL回路34において、その他の構成はPLL回路30と同様である。したがって、PLL回路34の場合もPLL回路30と同様の動作を行う。

【0050】次に本発明の実施の一形態にかかるPLL回路の第5変形例について説明する。

【0051】図6は本発明の実施の一形態にかかるPLL回路の第5変形例のブロック図である。

【0052】第5変形例のPLL回路35は、PLL回路30における基準周波数発振器1および2に代わって、基準周波数発振器12と、基準周波数発振器12の基準発振周波数を異なる分周データに基づいて分周する分周器17および18を備え、PLL回路30における基準周波数発振器1および2の出力に代わって、分周器17および18によって分周された基準周波数発振器の発振出力を用いる。

【0053】PLL回路35において、その他の構成はPLL回路30と同様である。したがって、PLL回路35の場合もPLL回路30と同様の動作を行う。

【0054】次に本発明の実施の一形態にかかるPLL回路の第6変形例について説明する。

【0055】図7は本発明の実施の一形態にかかるPLL回路の第6変形例のブロック図である。

【0056】第6変形例のPLL回路36は、PLL回路30における基準周波数発振器2に代わって、PLL回路30における基準周波数発振器1の発振周波数を通倍する通倍器19を備え、PLL回路30における基準周波数発振器2の発振出力に代わって通倍器19にて通倍された周波数の出力をスイッチ回路3供給する。

【0057】PLL回路36において、その他の構成はPLL回路30と同様である。したがって、PLL回路36の場合もPLL回路30と同様の動作を行う。

【0058】図8は本発明の実施の一形態にかかるPLL回路の第7変形例のブロック図である。

【0059】第7変形例のPLL回路40は、図11に示した従来のPLL回路を用いた例であり、従来のPLL回路において、分周器5へCPU20から異なる分周データを選択的に供給し、分周器5へ出力する分周データの変更に同期して立ち上がるステップ状信号(単に、ステップ状信号と記す)がCPU20から送出される。このステップ状信号を入力とするレベル調整器9とレベル調整器9からの出力を入力とするローパスフィルタ10を備え、ローパスフィルタ10の出力によって電圧制御発振器8の発振周波数にFM変調をかけるように構成してある。PLL回路40のその他の構成は従来のPLL回路の構成と同様である。

【0060】PLL回路40において、ステップ状信号はPLL回路30における周波数シフト信号が対応し、PLL回路40の出力周波数を変更は、分周器5の分周データの変更によってなされる。分周器5の分周データの変更に同期してステップ状信号が送出され、ステップ状信号のレベルはレベル調整器9によって調整され、ローパスフィルタ10においてレベル調整器9の出力中のノイズが除去されて、電圧制御発振器8の変調端子に印加され、レベル調整器9によってレベル調整されたステップ状信号に基づいてFM変調される。

【0061】したがって、PLL回路40によれば、レベル調整器9にてレベル調整されたステップ状信号に基づいて電圧制御発振器の発振出力にFM変調がかけられて、分周データの変更に基づくループフィルタ7の出力電圧の変動による電圧制御発振器8の発振周波数の変動はステップ状信号に基づくFM変調によって打ち消されて、PLL回路30の場合と同様にPLL回路40のロックアップタイムが大幅に短縮される。

【0062】次に第7変形例のPLL回路40におけるレベル調整器9の出力の極性について説明する。(a)分周データの切替による分周出力の変化により電圧制御発振器8の発振周波数の変化が低い周波数から高い周波数に変化し、かつ電圧制御発振器8の変調特性が正特性のとき、ローパスフィルタ10を通ったステップ状信号の極性は電圧制御発振器8の発振周波数が増加する極性に設定され、(b)分周データの切替による分周出力の変化により電圧制御発振器8の発振周波数の変化が高い周波数から低い周波数に変化し、かつ電圧制御発振器8の変調特性が正特性のとき、ローパスフィルタ10を通ったステップ状信号の極性は電圧制御発振器8の発振周波数が減少する極性に設定される。

【0063】(c)分周データの切替による分周出力の変化により電圧制御発振器8の発振周波数の変化が低い周波数から高い周波数に変化し、かつ電圧制御発振器8の変調特性が負特性のとき、ローパスフィルタ10を通ったステップ状信号の極性は電圧制御発振器8の発振周波数が減少する極性に設定され、(d)分周データの切替による分周出力の変化により電圧制御発振器8の発振周波数の変化が高い周波数から低い周波数に変化し、かつ電圧制御発振器8の変調特性が負特性のとき、ローパスフィルタ10を通ったステップ状信号の極性は電圧制御発振器8の発振周波数が増加する極性に設定される。

【0064】

【発明の効果】以上説明したように本発明にかかるPLL回路によれば、出力周波数の変更時に同期して出力される周波数シフト信号およびステップ状信号に基づいて電圧制御発振器の発振周波数にFM変調がかけられて、ロックアップタイムが大幅に短縮されるという効果が得られる。

【0065】また、ロックアップタイムが大幅に短縮するための本発明にかかるPLL回路の構成は簡単ですむという効果がある。

図の説明

【図面の簡単な説明】

【図1】本発明の実施の一形態にかかるPLL回路の構成を示すブロック図である。

【図2】本発明の実施の一形態にかかるPLL回路の第1変形例の構成を示すブロック図である。

【図3】本発明の実施の一形態にかかるPLL回路の第2変形例の構成を示すブロック図である。

【図4】本発明の実施の一形態にかかるPLL回路の第3変形例の構成を示すブロック図である。

【図5】本発明の実施の一形態にかかるPLL回路の第4変形例の構成を示すブロック図である。

【図6】本発明の実施の一形態にかかるPLL回路の第5変形例の構成を示すブロック図である。

【図7】本発明の実施の一形態にかかるPLL回路の第6変形例の構成を示すブロック図である。

【図8】本発明の実施の一形態にかかるPLL回路の第7変形例の構成を示すブロック図である。

【図9】本発明の実施の一形態にかかるPLL回路による場合のロックアップタイムの測定結果についての説明図である。

【図10】本発明の実施の一形態にかかるPLL回路による場合のロックアップタイムの測定結果についての説明図である。

【図11】従来のPLL回路の構成を示すブロック図である。

【符号の説明】

1、2および12 基準周波数発振器

3 スイッチ回路

5、16、17および18 分周器

6 位相比較器

7 ループフィルタ

8 電圧制御発振器

9 レベル調整器

10 ローパスフィルタ

11 サブPLL回路

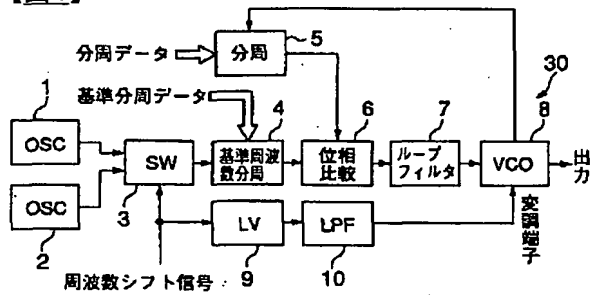
13、14および15 ダイレクトデジタル周波数シンセサイザ

20 CPU

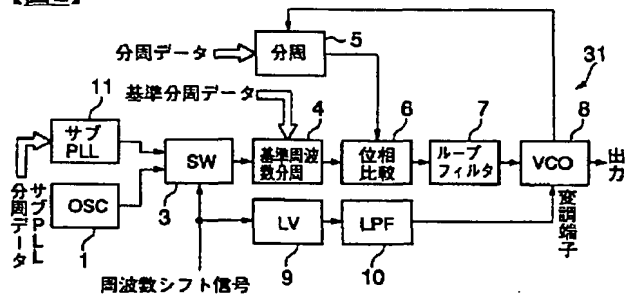
19 通倍器

図面

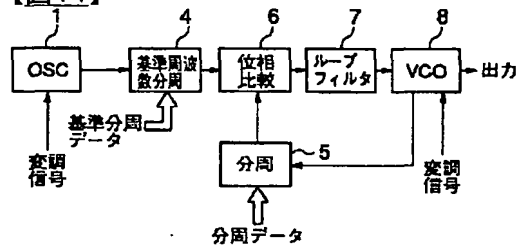
【図1】



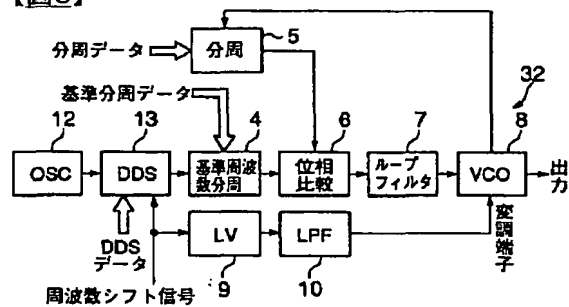
【図2】



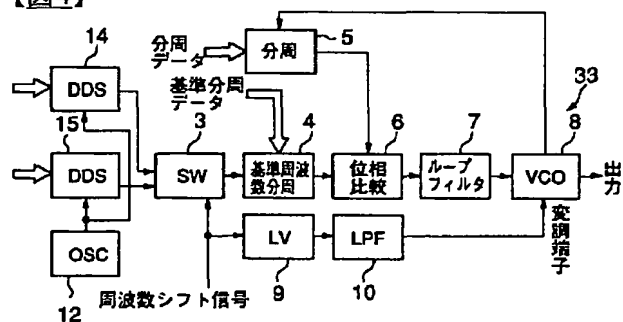
【図11】



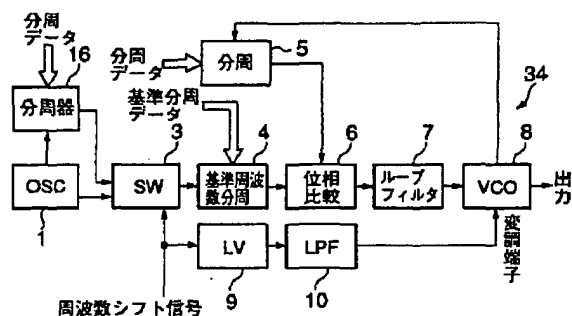
【図3】



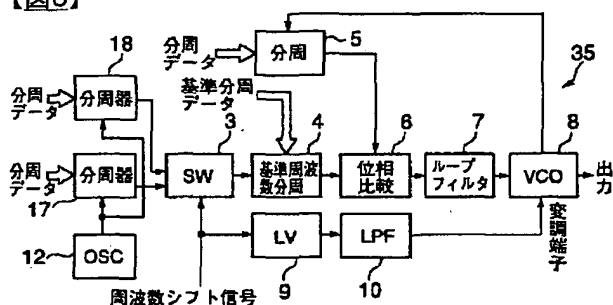
【図4】



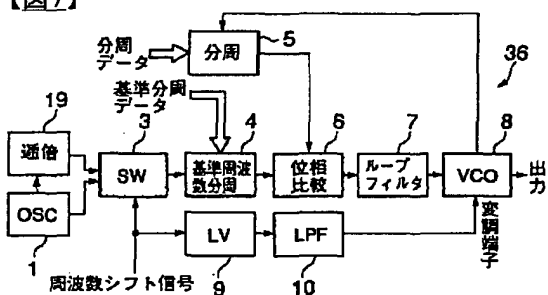
【図5】



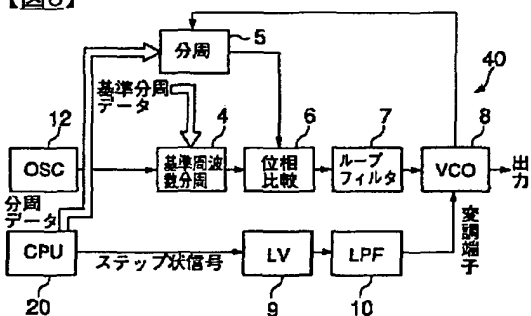
【図6】



【図7】

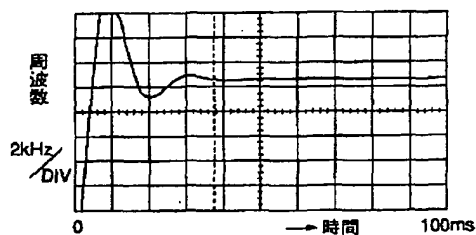


【図8】

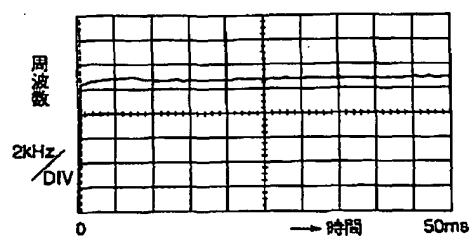


【図9】

(a)

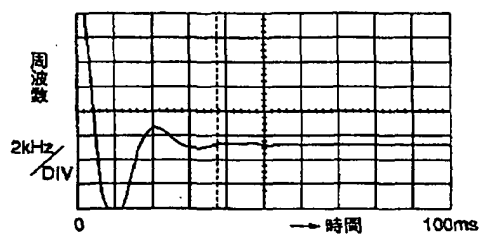


(b)



【図10】

(a)



(b)

